

日本信頼性学会誌「信頼性」

Vol.35 No.8 2013.12月号

(通巻212号)

目次

お知らせ	i
目次	ix
巻頭言	
「安全」ということばから	福田 光芳 421
特集	
「ディペンダブル VLSI システム」	
第1章：総論	
VLSI システムのディペンダビリティー JST CREST 研究領域の概論	423
第2章：放射線によるソフトエラー	
2.1 放射線によるソフトエラーとシステムのディペンダビリティ	427
2.2 ソフトエラー耐性の高いフリップフロップ	429
2.3 設計自動化技術	430
2.4 耐ソフトエラー再構成可能アーキテクチャ	431
2.5 耐ソフトエラー SRAM レイアウト	432
第3章：電磁雑音	
3.1 VLSI における電磁環境雑音概説	439
3.2 SRAM の電源ノイズとイミュニティ	441
3.3 分散制御用リアルタイム通信 Responsive Link のディペンダビリティ	442
第4章：素子特性ばらつき	
4.1 特性ばらつき概説	445
4.2 特性ばらつきの診断と補償	447
4.3 耐ばらつき回路技術	448
4.4 ディペンダブル ADC 技術	449
4.5 細粒度アシストバイアス制御 SRAM	450
4.6 オンチップ回路による高精度遅延計測	451
4.7 カナリア FF	452
第5章：素子特性経時劣化	
5.1 経時劣化概説	457
5.2 一時 / 永久故障に自動再構成で対応する高信頼プロセッサ	459
5.3 フラッシュメモリの高信頼信号処理技術	460
5.4 物理劣化による脅威とフィールドテストの役割	461
5.5 再構成可能なディペンダブルキャッシュアーキテクチャ	462

第6章：コネクティビティ	
6.1 公衆無線ネットワークから見た信頼・安心のための課題	467
6.2 実装インタコネクットの課題	469
6.3 ディペンダブル・エア	470
6.4 三次元 LSI の課題と高信頼化	471
6.5 非接触データ・電力伝送	472
6.6 非接触インタコネクットのアプリケーション	473
第7章：時間応答性	
7.1 ハード・リアルタイム制御にかかわるディペンダビリティの課題	479
7.2 分散制御用 SoC : D-RMTP のリアルタイム処理	481
7.3 非同期式ネットワークオンチップ	482
7.4 高機能 NoC ルータアーキテクチャ	483
7.5 高信頼無線集積回路技術	484
7.6 マイクロ波 / ミリ波帯オールシリコン CMOS マルチバンド受信フロントエンド IC	485
第8章：セキュリティ	
8.1 セキュリティ LSI の役割と脅威事例	491
8.2 セキュリティ LSI に対するタンパリングの手法	492
8.3 耐タンパ共通鍵暗号回路	493
8.4 LSI 設計時の耐タンパ性検証手法	494
8.5 複製防止デバイス PUF - メモリ PUF -	495
8.6 スキャンベース攻撃への対策	496
8.7 耐タンパ性評価手法	497
第9章：テストカバレッジ	
9.1 検証・テストのカバレッジ	501
9.2 FLEC : 形式的検証ツール	503
9.3 フィールドテストのための高品質遅延テスト	504
9.4 温度・電圧変動考慮型テスト	505
第10章：将来の課題	
10.1 故障原因の変遷と将来の課題 (= 挑戦)	509
10.2 データセンターのディペンダビリティ	511
10.3 製造後回路修正のためのパッチ可能ハードウェアと自動修正技術	512
10.4 フィールドテストデータの蓄積とその活用	513
10.5 多重化 CPU コアの故障検出と再構成手法	514
10.6 複合システムにおけるチェックポイントリスタート	515
10.7 SoC-SiP のコデザインによる対雑音・高信頼設計	516
編集後記	真田 克 521
広 告	一般財団法人日本科学技術連盟 vii
	大同信号株式会社 viii

The Journal of Reliability Engineering Association of Japan

Vol.35 No. 8 December

2013

Content

Preface

“Safe”	Mitsuyoshi FUKUDA	421
--------------	-------------------------	-----

Special Survey

“ Dependable VLSI System ”

1. Overview		
Dependability of VLSI Systems - A Review of a JST CREST Program		423
2. Radiation-Induced Soft Errors		
2.1 Ionizing Radiation Induced Soft-Error and Dependability of Electronic Systems		427
2.2 Radiation-Hard Flip-Flops		429
2.3 Design Automation for Reliability		430
2.4 Soft Error Tolerant Reconfigurable Architecture		431
2.5 Soft-Error Tolerant SRAM Cell Layout		432
3. Electromagnetic Noises		
3.1 Outline of Electromagnetic Environmental Noise in VLSI Circuits		439
3.2 Power Noise and Immunity of SRAM		441
3.3 Dependability of Real-time Communication Responsive Link for Distributed Control		442
4. Variations in Device Characteristics		
4.1 Performance Variability		445
4.2 Monitoring and Compensation of Performance Variation		447
4.3 Variation-Tolerant Circuit Technology		448
4.4 Dependable ADC Technology		449
4.5 Fine Grain Assist Bias Controlled SRAM		450
4.6 Highly Accurate Delay Time Measurement by an On-Chip Circuit		451
4.7 Canary Flip-Flop		452
5. Time-Dependent Degradation in Device Characteristics		
5.1 Time Dependent Degradation		457
5.2 A Dependable Processor Covers Transient / Permanent Fault by Self Reconfiguration		459
5.3 Highly Reliable Signal Processing Technologies for Flash Memory		460
5.4 Field Test Role for Danger of Physical Degradation		461
5.5 A Reconfigurable Architecture for Dependable Cache		462

6. Connectivity	
6.1 Challenges for Dependable Public Wireless Systems	467
6.2 Dependability Issues of System Interconnect	469
6.3 Dependable Air	470
6.4 Reliability Issues in 3D-LSI	471
6.5 Non-Contact Data and Power Transfer	472
6.6 Applications of Non-Contact Interconnect	473
7. Responsiveness	
7.1 Dependability Issues in Hard Real-Time Control	479
7.2 Real-Time Processing of D-RMTP : The SoC for Distributed Control	481
7.3 Asynchronous Networks-on-Chip	482
7.4 Multifunction NoC Router Architecture	483
7.5 Dependable Wireless RFIC Technologies	484
7.6 Micro-Wave/Millimeter-Wave All Si CMOS Multiband Receiver Front-End IC	485
8. Security	
8.1 The Role of Security LSI and Examples of Malicious Attacks	491
8.2 Methods for Tampering Cryptographic LSIs	492
8.3 Tamper-Resistant Symmetric-Key Cryptography Circuits	493
8.4 Verification Method for Tamper Resistance in VLSI Design	494
8.5 Physical Unclonable Functions – Memory PUF–	495
8.6 Evaluation Method for Countermeasures against Scan-Based Attacks	496
8.7 Tamper-Resistance Evaluation Technique	497
9. Test Coverage	
9.1 Verification and Test Coverage	501
9.2 FLEC: A Formal Verification Tool	503
9.3 High Quality Delay Test for VLSI Field Test	504
9.4 Temperature-and-Voltage-Variation-Aware Test	505
10. Future and / or Un-Identified Problems	
10.1 Trends in Fault Causes and Challenges for the Future	509
10.2 Dependability Requirements for the Data Center	511
10.3 Patchable Hardware and Rectification Methods for Post-Silicon Validation	512
10.4 Logging and Using Field Test Data for Improved Dependability	513
10.5 Fault Detection and Reconfiguration Method for Multiple CPU Cores	514
10.6 Checkpoint-Restart for Heterogeneous Computing Systems	515
10.7 Co-Designing SoC and SiP for Noise Immunity and High Reliability	516
Editor's Note	Masaru SANADA 521

Published by Reliability Engineering Association of Japan